

SIMetrix /SIMPLIS 8.4 Version



IGTECH



Contents

SIMetrix/SIMPLIS 전체 변경사항

- DVM Source 와 Load Dialogs
- 회로도 구성요소 배치시 배선 자동 분리
- 회로도 구성요소 비활성화 및 단락

SIMPLIS 시뮬레이터의 변경사항

- C-Code DLL
- Magnetics Design Module
- Multi-Level Lossy Transformer
- 전력공급 Source 와 Loads
- 축전기/인덕터의 구성 - 에너지 저장 변환기
- 제어된 소스를 이상적으로 제한하도록 업데이트

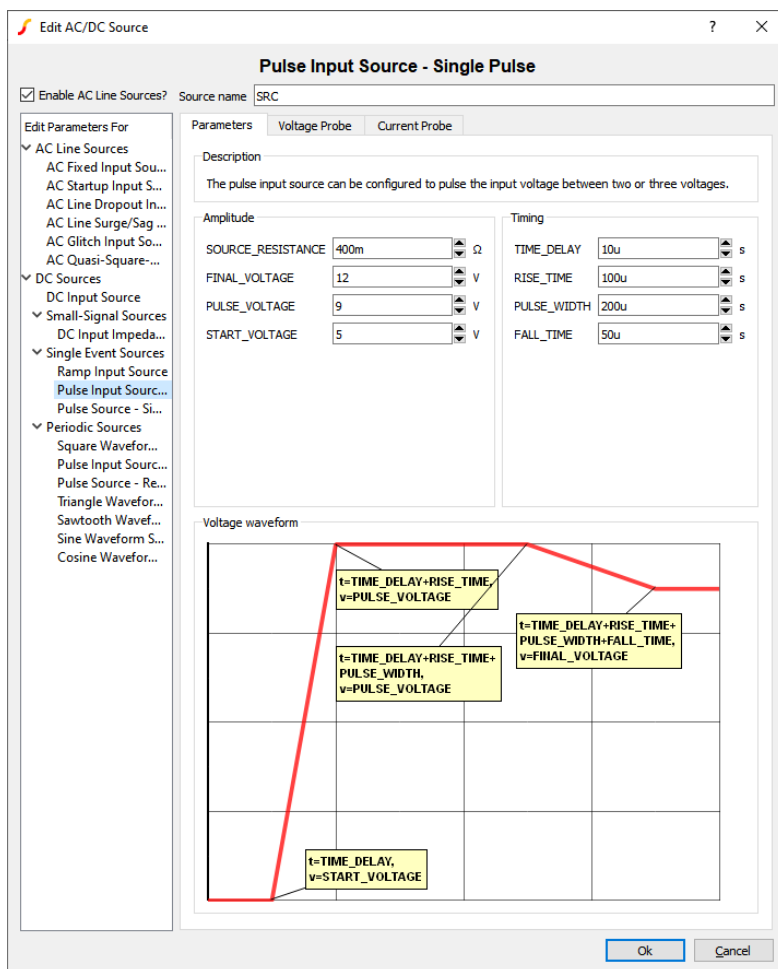
SIMetrix 시뮬레이터의 변경사항

- Verilog-A 새로운 기능
 - 계층적 구조
 - Verilog-A로부터 SPICE 요소에 접근 가능
 - 아날로그 초기 블록
 - 통계 함수
 - 문자열 및 문자열 매개 변수 지원
 - 문자열 및 파일 처리 함수
- WAV 파일 지원

What's New in Version 8.4?

SIMetrix/SIMPLIS 의 새로운 기능

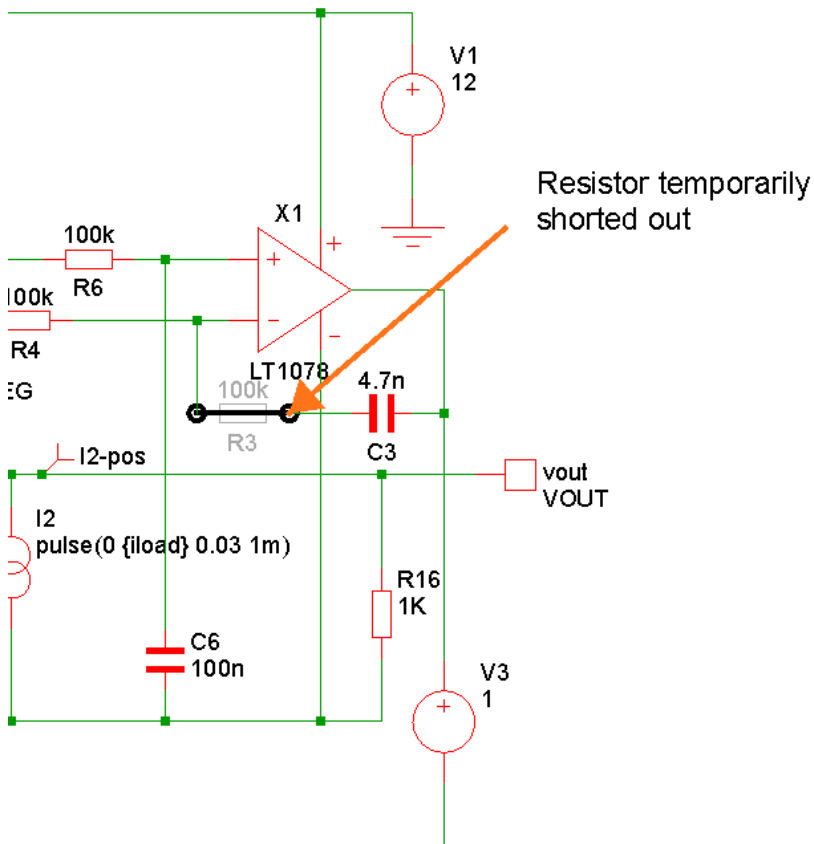
업데이트된 DVM Source 와 Load Dialogs



DVM Source 및 Load symbol dialogs 대화상자가 전원 공급기 대화상자를 사용하도록 업데이트되었습니다. 이를 통해 각 소스 및 로드 유형에 대해 4 개의 내부 프로브(전압, 전류, 게인 또는 크기, 위상)에 대한 측정을 정의할 수 있습니다.

필요한 버전 : DVM 모듈 추가 라이선스 가능

회로도 편집기 기능



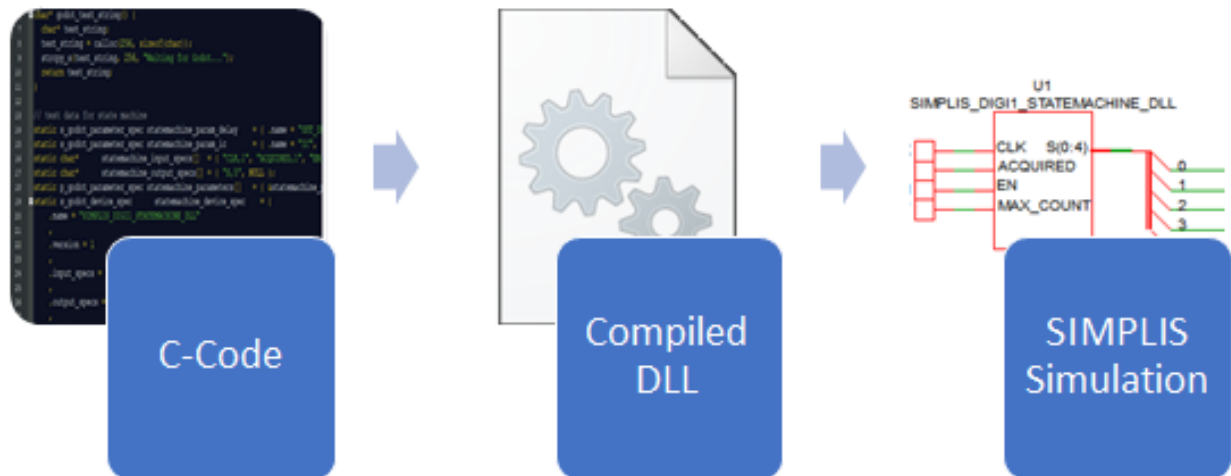
사용자를 위한 직관적이고 유용한 회로 편집 기능이 추가 되었습니다.

- 부품 배치: 2 개의 단자를 가진 부품을 배선 위에 직접 배치 했을 때, 배선이 자동으로 분리 되면서 단자로 연결 됩니다.
- 구성 요소 단락: 비활성화 기능과 마찬가지로 구성 요소를 비활성화하는 동시에 단자를 단락 시킵니다. 적절하게 구성된 모든 2 단자 구성요소 및 다중단자 구성요소와 함께 작동합니다. 예를 들어 양극 트랜지스터를 단락시키면 컬렉터와 이미터가 연결되지만 베이스는 개방 회로가 됩니다.

필요한 버전 : 모든 버전 가능

SIMPLIS 시뮬레이터의 새로운 기능

C-Code DLL



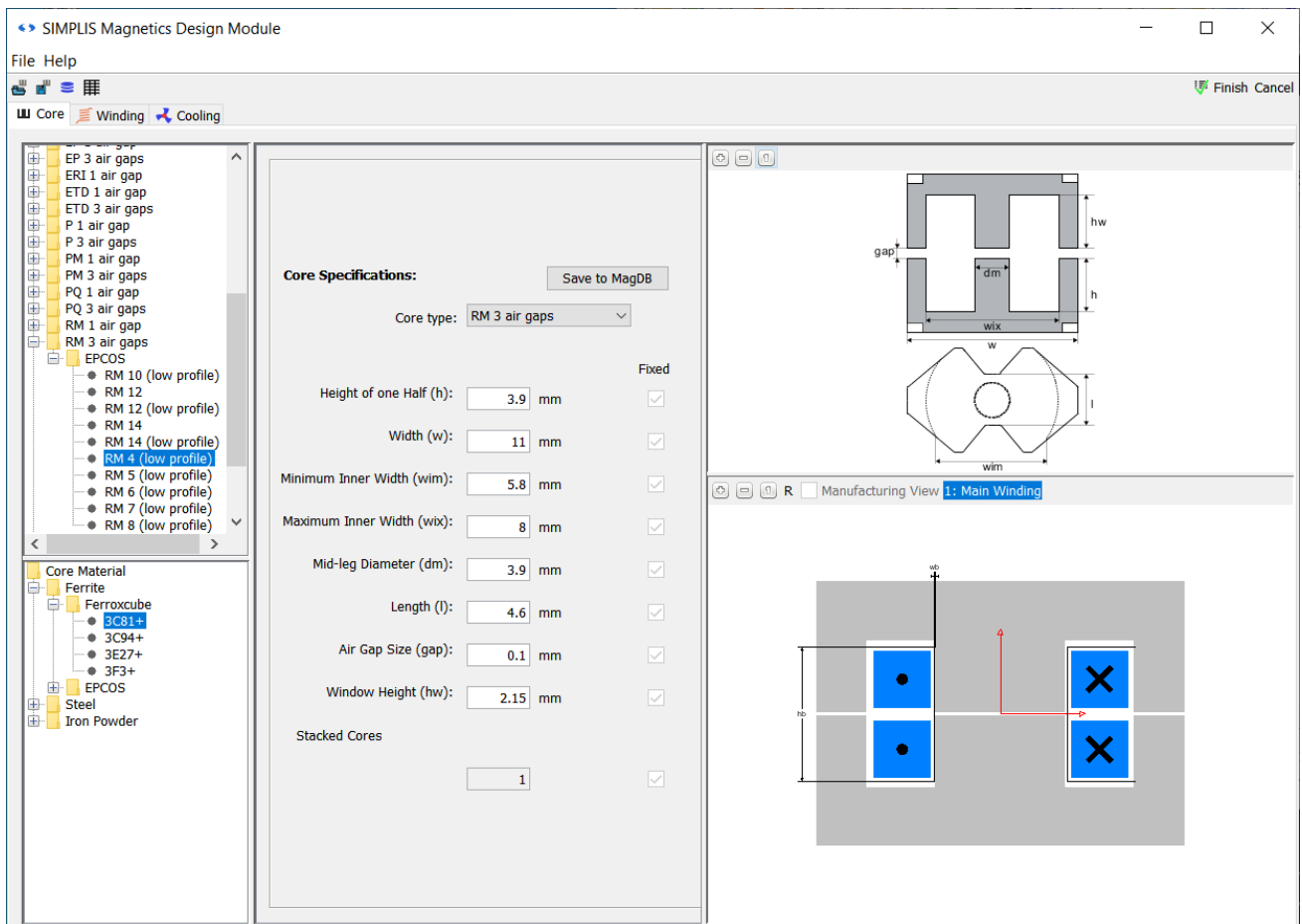
C 언어로 작성된 디지털 제어 코드가 SIMPLIS 에서 실행됩니다.

Layout 에 대한 Gate 가 없고 Co-Simulation 엔진이 필요하지 않으므로 신속한 구현과 신속한 시뮬레이션이 가능합니다.

필요한 버전: Pro 또는 Elite

[C-Code DLL 더 알아보기](#)

Magnetics Design Module (MDM)

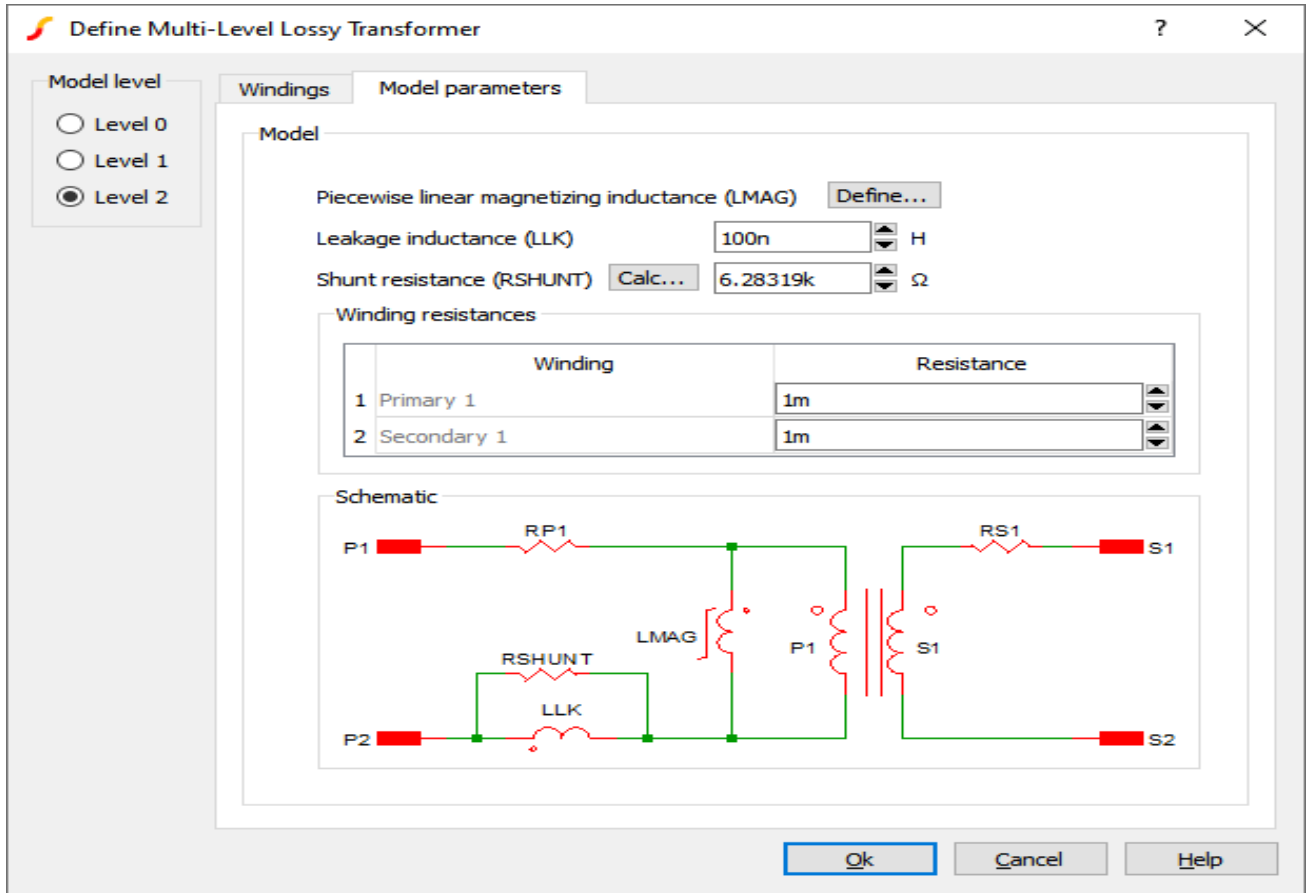


SIMPIS MDM(Magnetics Design Module)은 모든 SIMetrix/SIMPLIS Classic, Pro 또는 Elite(Version 8.4)에 추가하여 표준 구성 요소(코어, 재료, 와이어 및 보빈)의 편집이 가능하며 확장 가능한 목록에서 실제 인덕터와 변압기 모델을 생성할 수 있습니다. SIMPLIS MDM 을 사용하면 상세하고 정확한 인덕터 및 변압기 손실과 온도를 분석할 수 있습니다.

필요한 버전: Classic, Pro 또는 Elite 에 MDM 모듈 추가 라이선스 가능

[Magnetics Design Module \(MDM\) 더 알아보기](#)

Multi-Level Lossy Transformer

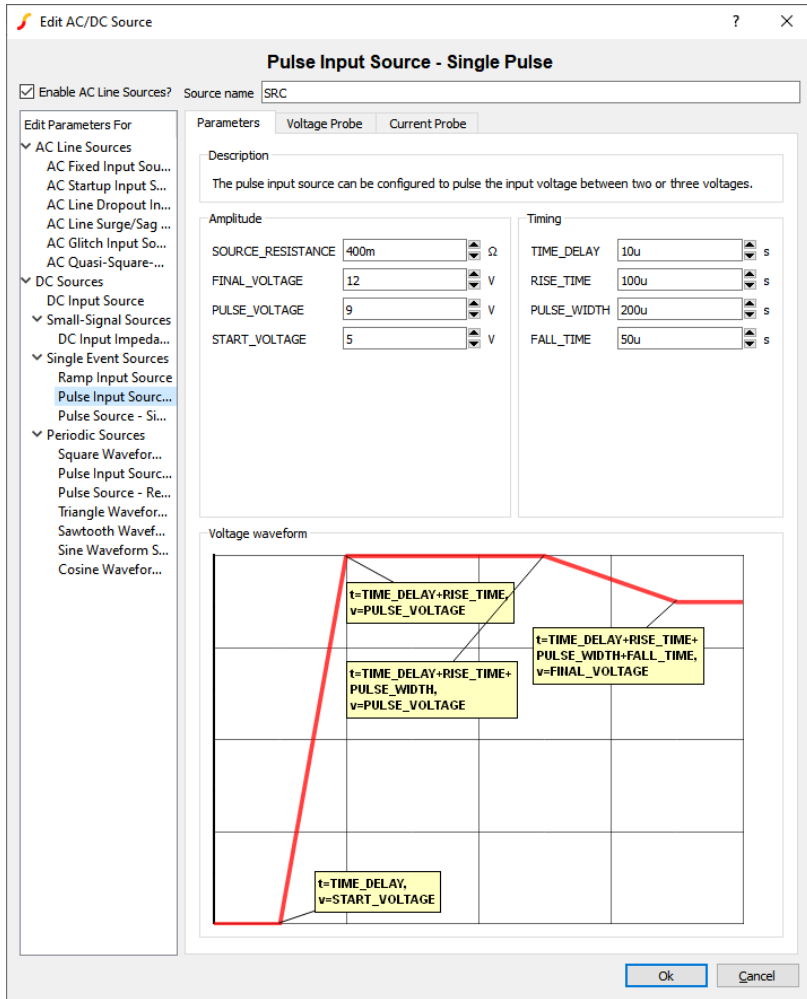


Multi-Level Lossy Transformer 는 다양한 시뮬레이션 분석을 가능하게 하기 위해 여러 단계의 레벨을 가지고 있습니다. 변압기는 최대 총 20 개의 권선을 구현 할 수 있으며 다양한 난이도 레벨에 대한 해석이 가능합니다.

- Level 0 모델은 선형 자화 인덕턴스를 갖고 있는 이상적인 변압기입니다. 이 모델에는 선형 저항이나 누출 인덕턴스가 없습니다.
- Level 1 모델은 PWL 기반 자화 인덕턴스를 갖춘 이상적 변압기입니다. 이 모델에는 선형저항이나 누출 인덕턴스가 없습니다.
- Level 2 모델은 PWL 기반 자화 인덕턴스를 갖춘 이상적인 변압기입니다. 변압기의 인덕턴스 누출은 1 차측 권선에서 언급되며, DC 권선 저항이 모델에 포함되어 있습니다.

필요한 버전: Classic, Pro 또는 Elite

전력공급 Source 와 Loads



6 개의 AC 소스와 13 개의 DC 소스 유형을 쉽게 변환하고 19 가지 다른 유형의 Load 를 쉽게 변환합니다.

또한 각각의 소스와 Load 타입에 따라 4 개의 내부 프로브(전압, 전류, 이득 또는 진폭과 위상)에 대한 측정을 정의하는 기능도 추가되었습니다.

필요한 버전: Classic, Pro 또는 Elite

축전기/인덕터의 구성 - 에너지 저장 변환기

 Units to Energy Storage Conversion Tool

Capacitance (F) vs Voltage (V) input

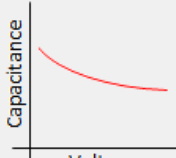
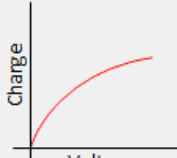
	Voltage	Capacitance
1	0	711.019p
2	56m	698.647p
3	112m	686.491p
4	168m	674.545p
5	224m	662.808p
6	280m	651.275p
7	336m	639.942p
8	392m	628.807p
9	448m	617.865p
10	504m	607.114p
11	560m	596.55p
12	616m	586.17p

Paste from Clipboard

Digitize Data Sheet Curve

Number of PWL segments: 5

☒ Limit Voltage output to: 20 Voltage

Charge (C) vs Voltage (V) output

	Voltage	Charge
1	0	0
2	1.57514	930.795p
3	3.79755	1.61392n
4	6.68288	2.08149n
5	11.5589	2.49671n
6	20	2.85598n

Plot PWL Characteristics

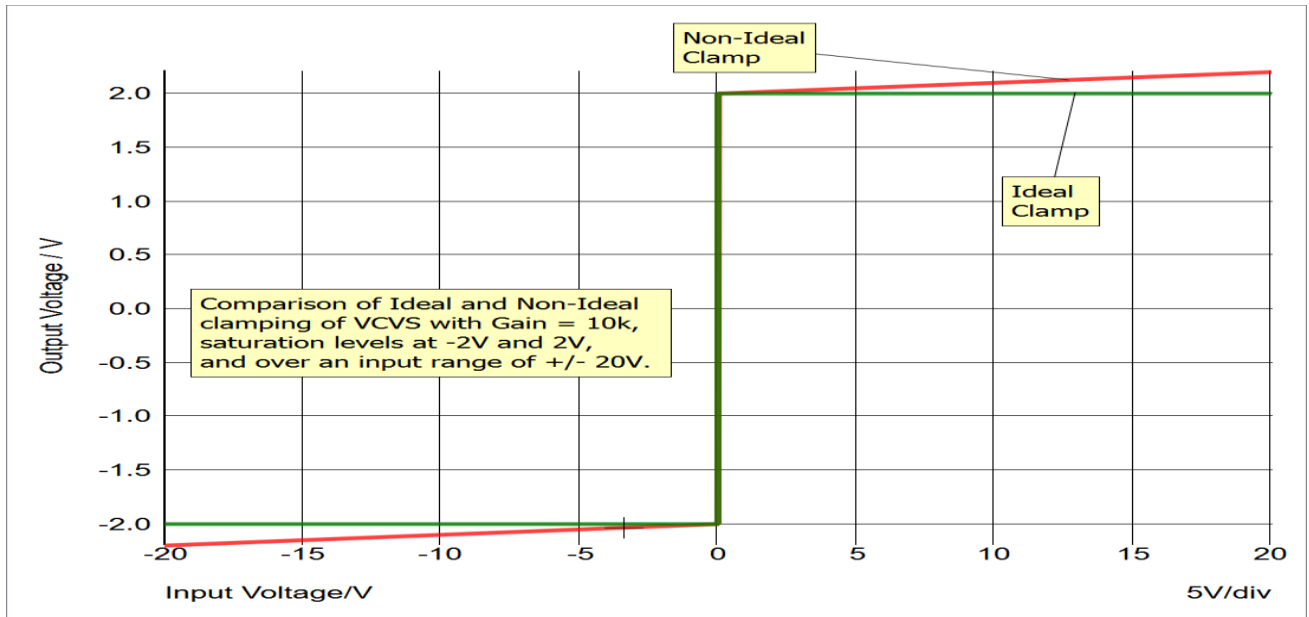
Ok Cancel Help

Capacitor 와 Inductor 에서 각각 Charge vs Voltage 또는 Flux-Linkages vs Magnetizing Current characteristics 의 특성을 각각 계산할 필요가 없어졌습니다. 새로운 Tool 에서는 Capacitor 의 Farads vs Voltage 또는 inductor 의 Henries vs Magnetizing Current characteristics 특성을 입력하고 이것을 SIMPLIS PWL Model 로 변환하는 것이 가능합니다.

필요한 버전: Classic, Pro 또는 Elite

*Classic 에서는 digitizing curve feature 지원이 불가능합니다

제어된 소스를 이상적으로 제한하도록 업데이트



출력이 제한되는 제어된 소스에 이상적으로 제한되는 출력이 있습니다. 이전에는 획득된 입력 신호가 Clamping 될 때 출력 Clamping 의 기울기가 약간 작았습니다. 새로운 기능을 사용하면 출력 Clamping 이 제공된 레벨에서 이상적입니다. 이상적 산출량 제한을 조정하기 위해, Part Selector 에서 하기와 같은 제어 소스를 사용하십시오.

Controlled Sources >

- CCCS w/ Output Limit
- CCVS w/ Output Limit
- VCCS w/ Output Limit
- VCVS w/ Output Limit

필요한 버전: Classic, Pro 또는 Elite

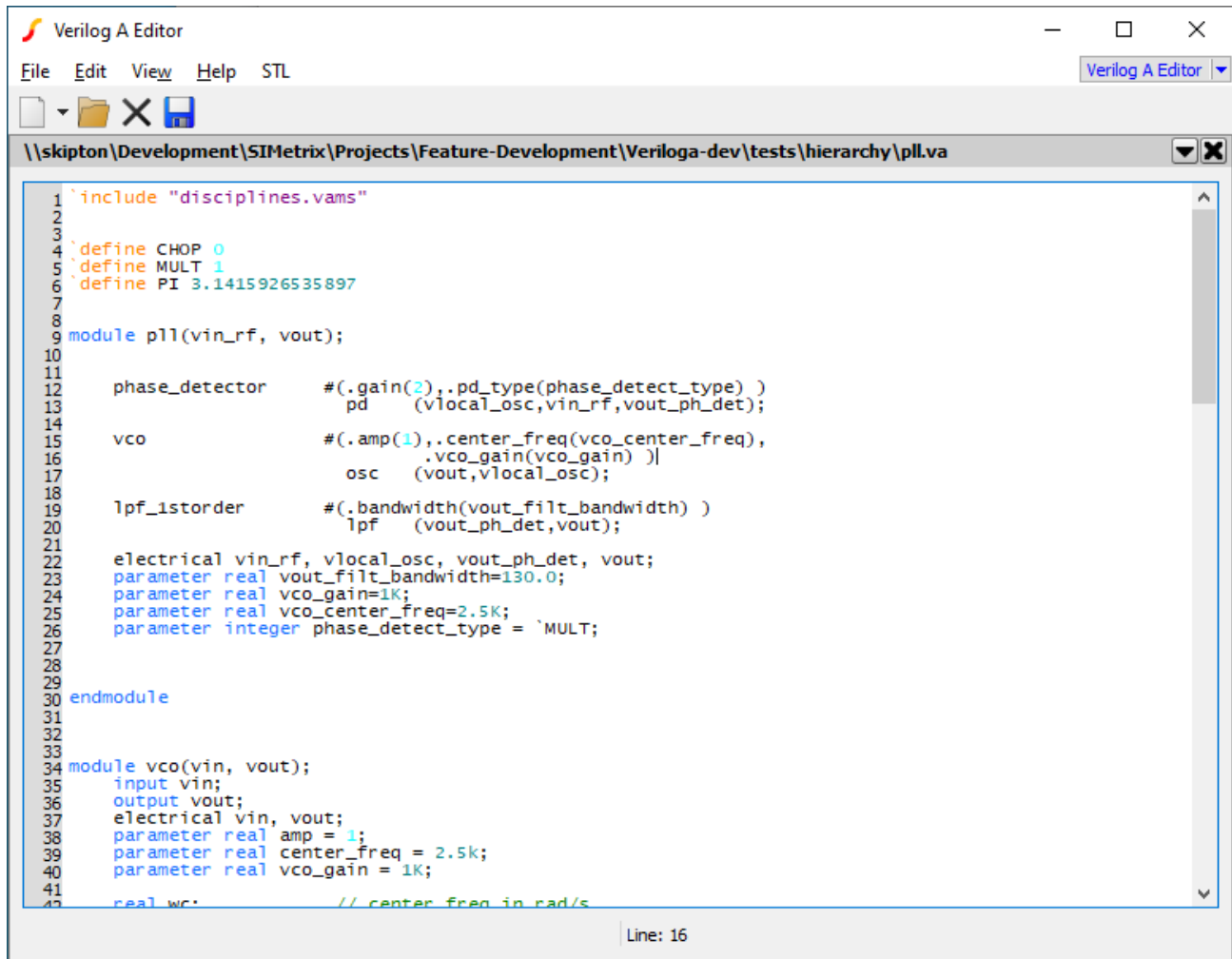
상세한 내용은 다음의 동영상을 참고하여주세요.

Link to Webinar Recording

The webinar recording can be viewed at this link: [What's New in SIMetrix/SIMPLIS v8.40 \(15:41\)](#)

SIMetrix 의 새로운 기능

더 많은 Verilog-A 기능



```
1 `include "disciplines.vams"
2
3
4 `define CHOP 0
5 `define MULT 1
6 `define PI 3.1415926535897
7
8 module pll(vin_rf, vout);
9
10
11     phase_detector    #(.gain(2),.pd_type(phase_detect_type) )
12                       pd    (vlocal_osc,vin_rf,vout_ph_det);
13
14     vco               #(.amp(1),.center_freq(vco_center_freq),
15                       .vco_gain(vco_gain) )|
16                       osc    (vout,vlocal_osc);
17
18     lpf_1storder      #(.bandwidth(vout_filt_bandwidth) )
19                       lpf    (vout_ph_det,vout);
20
21     electrical vin_rf, vlocal_osc, vout_ph_det, vout;
22     parameter real vout_filt_bandwidth=130.0;
23     parameter real vco_gain=1K;
24     parameter real vco_center_freq=2.5K;
25     parameter integer phase_detect_type = `MULT;
26
27
28
29 endmodule
30
31
32
33 module vco(vin, vout);
34     input vin;
35     output vout;
36     electrical vin, vout;
37     parameter real amp = 1;
38     parameter real center_freq = 2.5k;
39     parameter real vco_gain = 1K;
40
41     real wc;          // center freq in rad/s
42
```

Verilog-A 편집자는 추가작업에서 이와 같은 기능들을 제공합니다.

- Hierarchical Structures
- Verilog-A 로부터 SPICE 요소에 접근가능
- 아날로그 초기 블록
- 통계적 기능
- 파일 및 문자열 처리 기능

1) Hierarchical Structures

이전에는 Netlist level 에서만 상호작용 가능했으나, 8.4버전에서는 Verilog-A 모듈 내의 환경에서 완전한 서브시스템을 생성하는 것이 가능합니다.

[*예제 코드](#)

2) Verilog-A로부터 SPICE 요소에 접근 가능

외부 연결없이 Verilog-A 모듈 내에서 MOSFET 과 같은 초기 SPICE 에 완전히 연결할 수 있습니다.

3) 아날로그 초기 블록

이 블록은 초기화 시, 한번만 실행되는 블록으로 한번만 계산하면 되는 변수를 설정하는 것에 사용할 수 있습니다. 이것은 DC 작성 point 가 작동될 동안의 모든 반복에 대해 계산되는 initial_step 일 때와 동일하지 않습니다.

4) 통계적 기능

여러 통계 분포에 따라 실제 랜덤 값을 반환하는 랜덤 함수입니다.

Function Name	Description
\$rdist_chi_square	Chi square distribution
\$rdist_erlang	Erlang distribution
\$rdist_exponential	Exponential distribution
\$rdist_normal	Normal (Gaussian) distribution
\$rdist_poisson	Poisson distribution
\$rdist_t	T distribution
\$rdist_uniform	Uniform distribution

상기 이외에 Verilog-HDL 에서 사용 가능한 정수도 지원됩니다.

5) 문자열 및 문자열 매개 변수 지원

String 변수, 문자열 매개 변수를 처리하기 위한 함수 및 연산자가 지원됩니다. 문자열은 매개 변수 값 또는 파일에서 입력 될 수 있습니다. Verilog-A 언어의 한계 내에서 일부 처리도 지원됩니다.

6) 파일 및 문자열 처리 기능

파일 및 문자열 처리를 위한 다음과 같은 새로운 기능이 도입되었습니다.

Function Name	Description
\$error	오류 상태 알리고 종료
\$fatal	오류 상태 알리고 즉시 종료
\$ferror	파일 작업에 대한 오류메시지를 컴파일
\$fgets	파일에서 텍스트 한 줄 읽기
\$fscanf	파일에서 입력 읽고, 인수에 작성
\$fseek	파일 위치 이동
\$ftell	파일 위치를 가져옴
\$info	목록 파일에 메시지 또는 낮은 레벨의 경고 작성
\$rewind	파일 위치를 시작으로 이동
\$sformat	형식화 된 출력을 문자열 변수에 작성
\$sscanf	문자열을 디코딩하고 인수에 작성
\$swrite	형식화된 출력을 문자열 변수에 사용
\$warning	경고 조건을 발생시키고, 목록 파일에 메시지 작성

7) 이외의 다른 기능

다음과 같은 새로운 기능이 추가되었습니다.

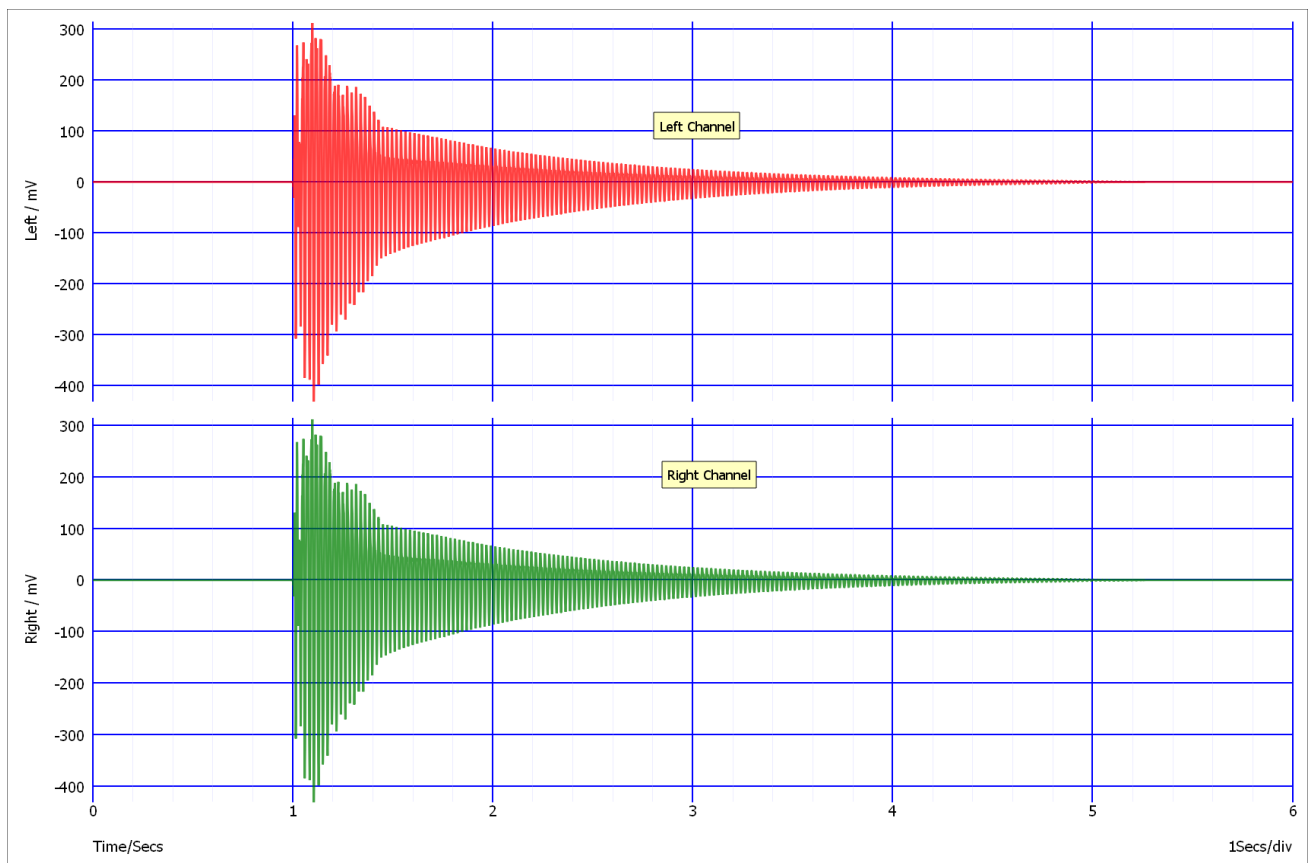
Function Name	Description
\$arandom	난수 생성기
\$clog2	정수를 나타내는 데 필요한 최소 비트 수
\$simparam\$str	문자열 값 시뮬레이션 parameters 반환
\$simprobe	회로의 다른 인스턴스에서 출력 변수의 값을 반환
above	@cross 와 유사하지만 DC 와 함께 작동하는 작업 가능

필요한 버전: Pro 또는 Elite

WAV File 지원

PWLS 고정 소스는 WAV 파일을 지원하여 디지털 오디오 애플리케이션을 위한 쉬운 자극을 제공합니다.

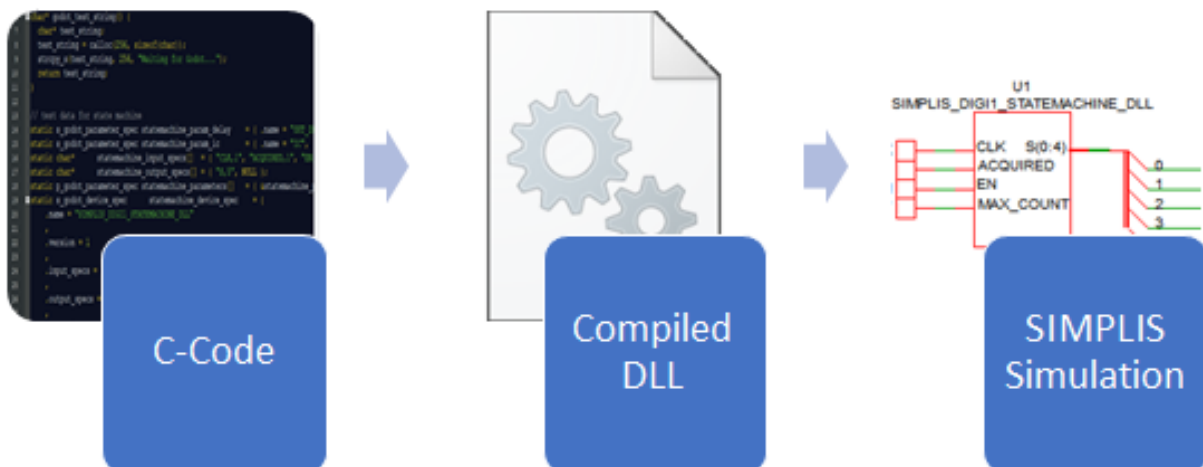
WAV 파일을 읽고 쓰는 스크립트 기능 또한 사용 가능합니다.



C/C++ + DLL-Defined Digital Devices

C/C++로 구현되고 DLL로 배포되는 사용자 정의 디지털 장치 지원이 가능합니다.

- 새로운 디지털 제어 알고리즘
- SIMPLIS Primitive로 구현할 필요 없이 대량의 디지털 Content가 포함된 모델 작성 가능
- Verilog-HDL 소스를 공개하지 않고도 고객/최종 사용자에게 모델 배포 가능



디지털 장치 지원을 위한 최신 제품 외에도 다음과 같은 기능이 제공됩니다..

- Classic SIMPLIS Digital Devices
- Advanced SIMPLIS Digital Devices
- System Designer 심볼 및 모델 Library
- Co-simulation with Verilog-HDL (SIMPLIS VH)

기술 및 사용 하이라이트

새로운 DLL 정의 디지털 장치를 시작하고 실행하기 위해 몇 가지 기본 제공 편의 유틸리티가 제공됩니다.

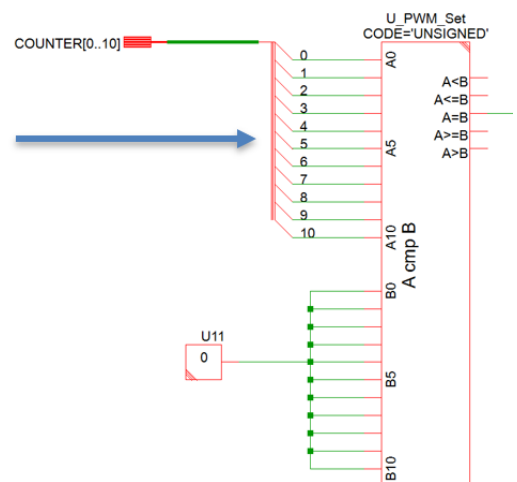
- Bus-oriented I/O – 기본적으로 서명되지 않은 읽기/쓰기 지원 기능, 두 개의 보완 및 이진 오프셋 Encodings 을 지원합니다.
- 멀티 코어를 사용한 Monte Carlo 및 Multi-Step 매개변수(Parameter)화를 지원합니다.
- 기호 및 편집대화상자 자동 생성
- 동일한 DLL 내에서 여러 장치와 버전 정의를 지원합니다.

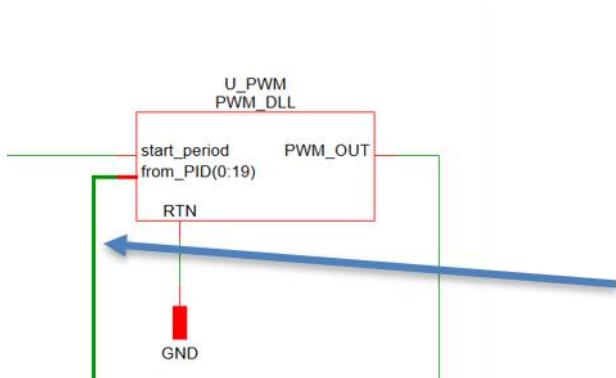
DLL 정의 디지털 장치 요구사항

- C/C++ Compiler Toolchain (ex : Visual Studio)
- SIMPLIS Digital Development Kit
 - 유틸리티, 헤더파일, 문서 및 예제 제공
- SIMetrix/SIMPLIS Pro 또는 Elite v8.40 또는 그 이상
 - 이 기능은 추가비용 없이 Pro 및 Elite 사용자에게 제공됩니다.

Bus-Oriented I/O

SIMPLIS Advanced Digital 디바이스를 사용한 모델링에서는 Pin 중심의 원시 SIMPLIS 디지털 컴포넌트를 사용합니다. 따라서 사용자는 Bus 의 각 pin 을 Bus connector 또는 다른 pin 에 연결해야 합니다. 정리된 pin 들을 정수값으로 읽으려면, Bus ripper 를 사용하여 개별 비트로부터 숫자를 구성해야 합니다.





DLL 정의 디지털 장치는 Bus 지향적이므로 사용자는 Bus 의 각 핀들을 Bus 배선으로 연결할 수 있습니다. 시뮬레이션 중에 Bus 값은 개별 비트 대신 정수로 읽고 쓸 수 있습니다.

주의사항

DLL 정의 디지털 장치는 SIMPLIS Advanced Digital 시뮬레이션 엔진 내에서 실행되기 때문에 동일한 장점과 한계를 공유합니다. 몇 가지 유의해야 할 사항은 다음과 같습니다.

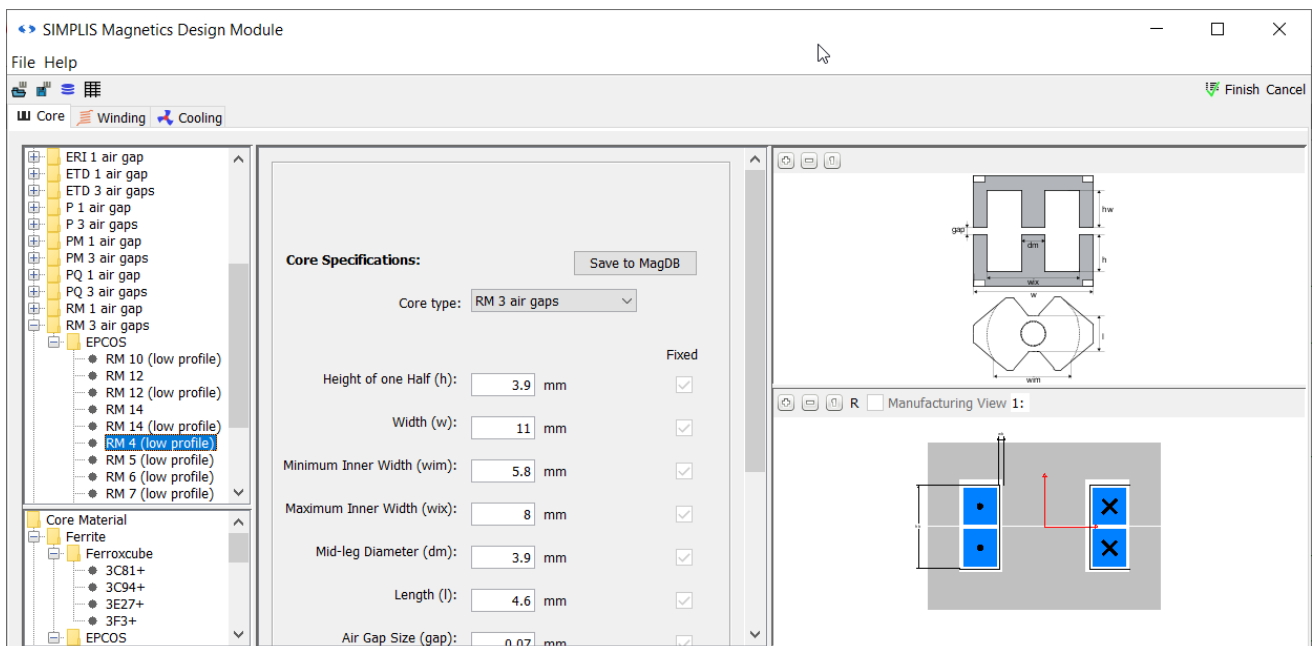
- Advanced Digital 시뮬레이터에서 실행되는 다른 모든 장치와 마찬가지로, 0 이 아닌 출력 지연이 적용됩니다. 이를 통해 기존의 SIMPLIS logic gate 에서 지연 없이 즉시 상태를 전환 할 수 있는 기능과 관련된 문제를 해결합니다.
- 궁극적으로 특정 회로 및 작동 조건에 의존하지만, 피드백 루프에 있는 신호가 별개의 Level 로 양자화되는 디지털 제어 시스템의 경우 일반적으로 POP/AC 분석은 적용되지 않습니다. AC 분석 중 주입된 신호의 극히 작은 섭동은 제어 루프 응답을 생성하기에 충분하지 않습니다. 이 회로는 일반적으로 SIMPLIS Multi-Tone AC 분석에 더 적합합니다.

Magnetics Design Module (MDM)



8.4 버전부터 SIMetrix/SIMPLIS 의 Classic, Pro 또는 Elite에 MDM을 추가할 수 있으며 표준형과 사용자 정의가 가능하며 맞춤형 부품(코어, 재료, 와이어, 보빈)을 포함한 방대하고 편집 및 활용이 가능한 목록을 제공하여 실제적인 Inductor와 변압기 모델을 생성할 수 있습니다. SIMPLIS MDM을 사용하면 상세하고 정확한 Inductor 및 변압기의 손실 및 온도를 Simulation할 수 있습니다.

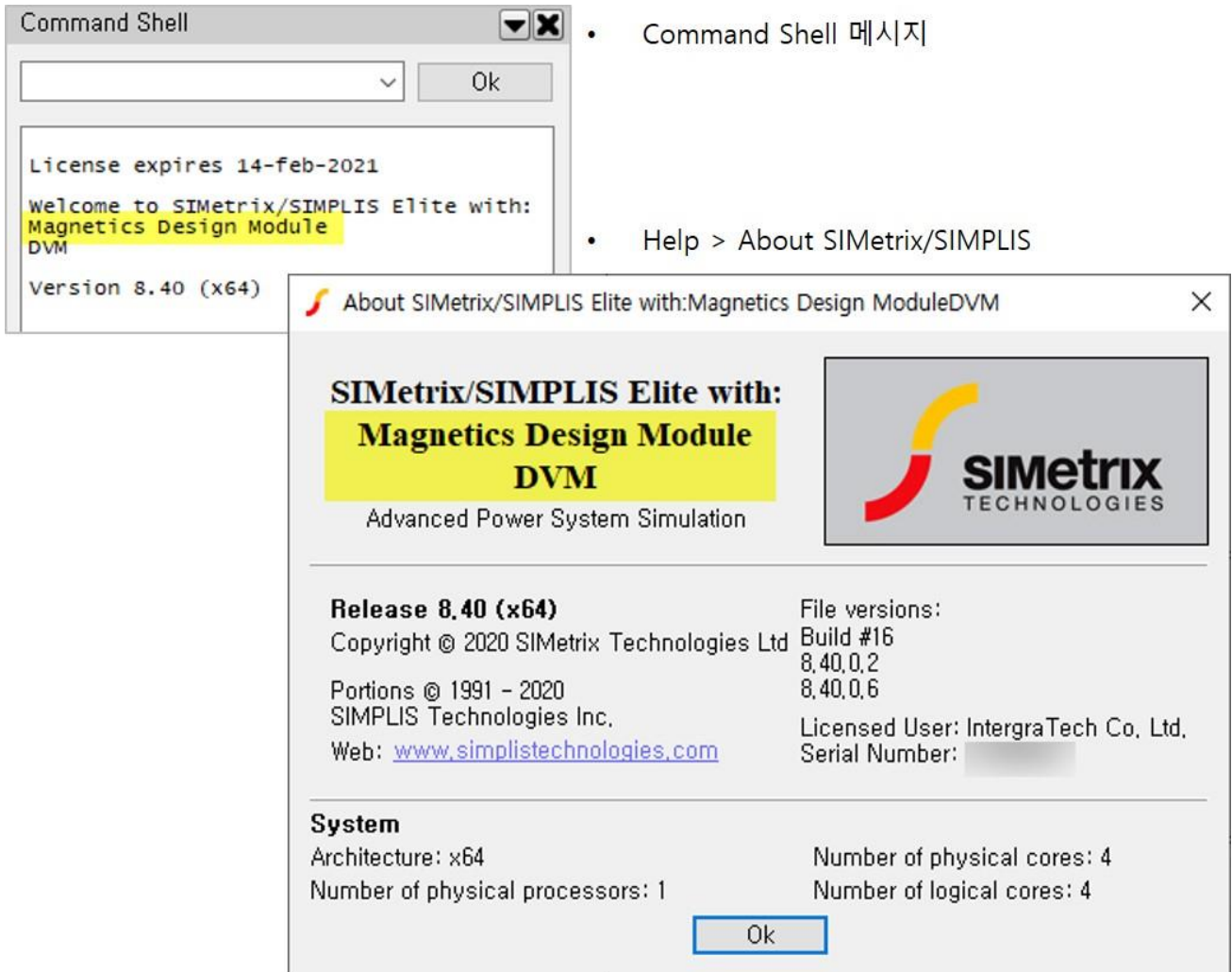
고급 Inductor 모델링



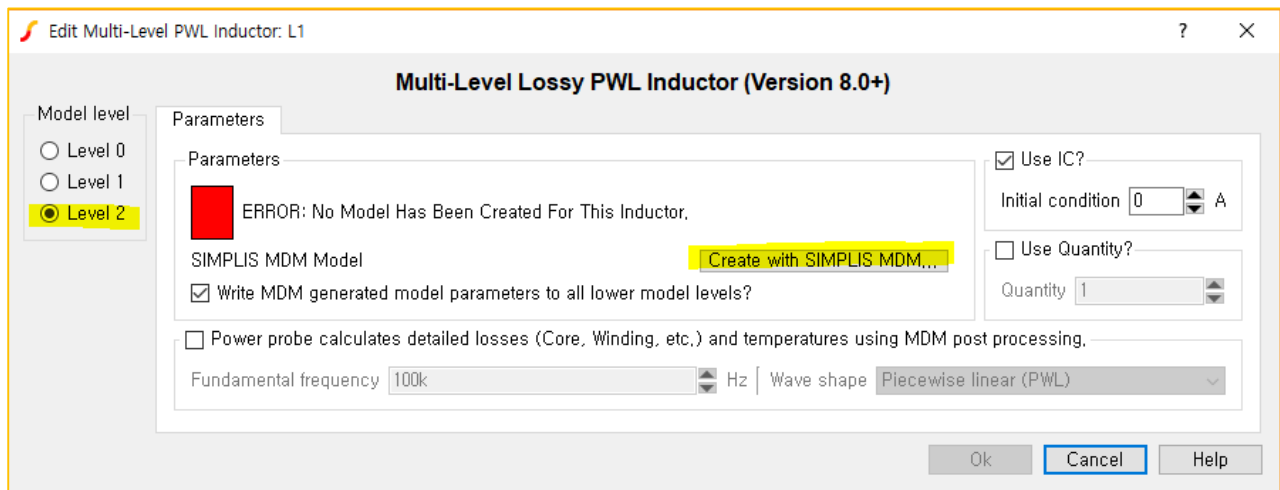
Inductor 의 경우, MDM Module 을 설치하고 Part Selector 에서 Magnetics → Inductor → Multi-Level Lossy PWL Inductor (Version 8.0+)을 선택하여 배치하고 배치된 부품을 Double Click 하여 Pop-up 되는 속성 창에서 왼쪽의 Model level 선택 창의 Level 2 를 선택하여 접근할 수 있습니다.

단, MDM Module 를 구동하기 위해서는 우선 MDM Module 옵션이 추가된 License File 로 교체하여야 가능합니다.

License 의 교체가 정확히 되었는지 확인하려면 SIMPLIS 가 구동될 때 Command Shell 의 메시지를 확인하거나 최상단 Tab 에서 Help → About...을 통해서 확인할 수 있습니다.



아래의 그림처럼 속성 창에 Level 2 를 선택이 없으면(기존 8.3 이하의 Version 은 Level 0 와 Level 1 만 선택할 수 있음) License 가 정확하게 교체되지 않았을 경우입니다. 이 경우 라이선스 교체 매뉴얼을 참고하여 다시 시도하시거나 인터그래텍에 문의하여 주세요.

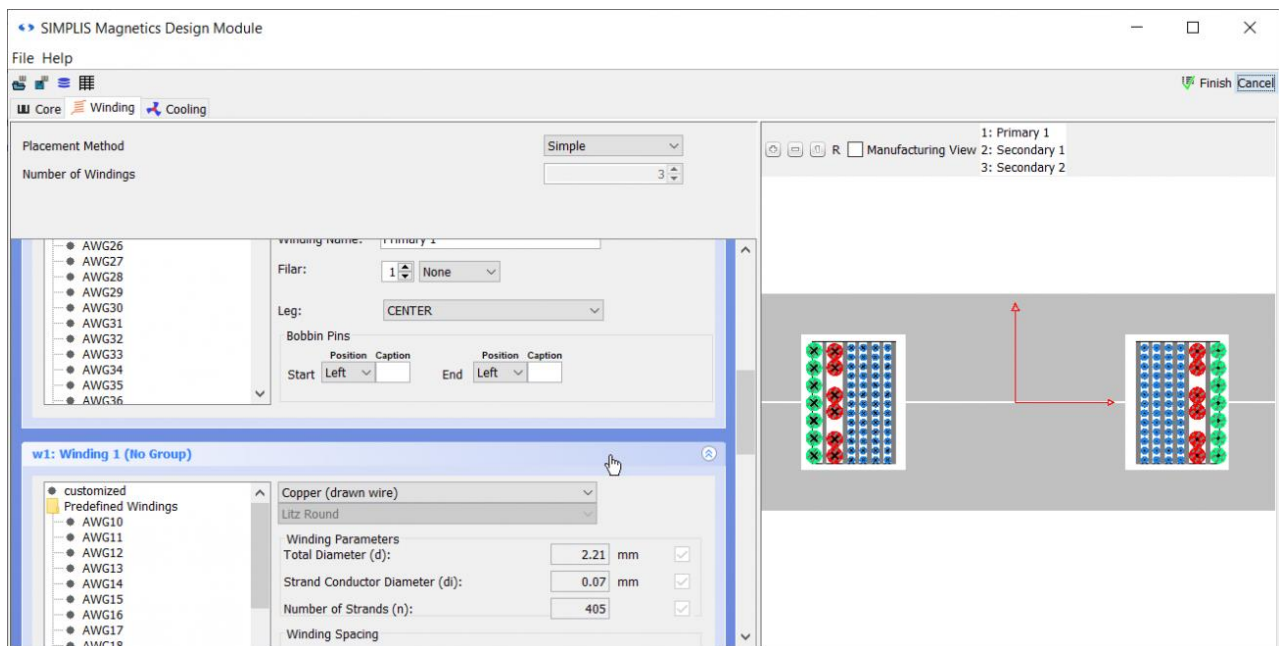
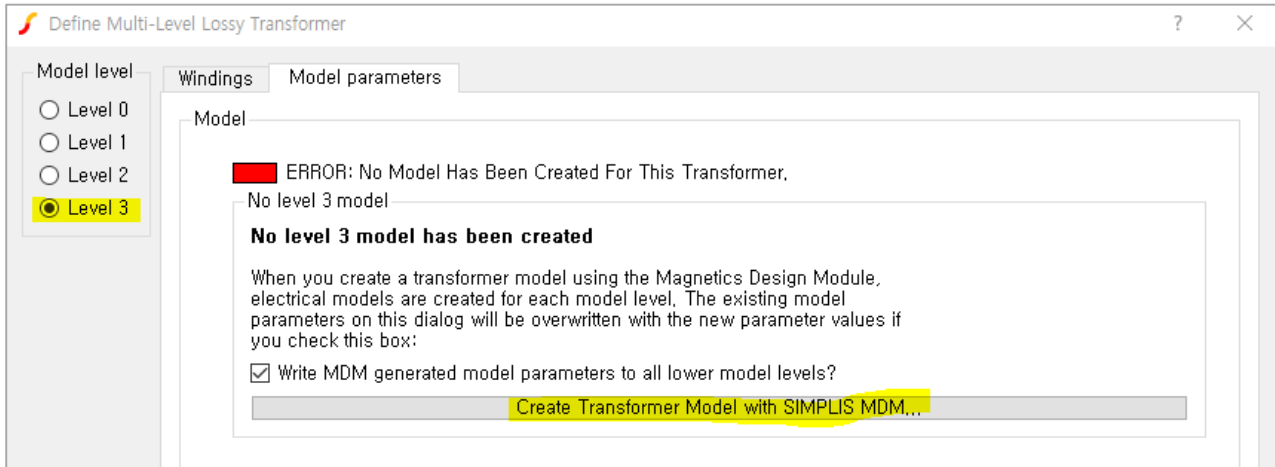


MDM 은 코어의 재료, 형태와 크기 그리고 와이어 재료, 형태와 크기, 보빈, 회전 수를 선택하고, 인덕터를 구축할 수 있는 직관적인 GUI 환경을 제공합니다. 사용자는 목록에서 표준 크기를 선택하거나 사용자가 원하는 크기를 정의할 수 있습니다.

MDM 의 데이터베이스에 있는 재료의 B-H 곡선, 정의된 코어의 자기저항 모델 및 정확한 3D 공극 모델을 사용하여 인덕터의 PWL 인덕턴스를 계산하여 SIMPLIS 회로 시뮬레이션에 사용합니다.

고급 변압기 모델링

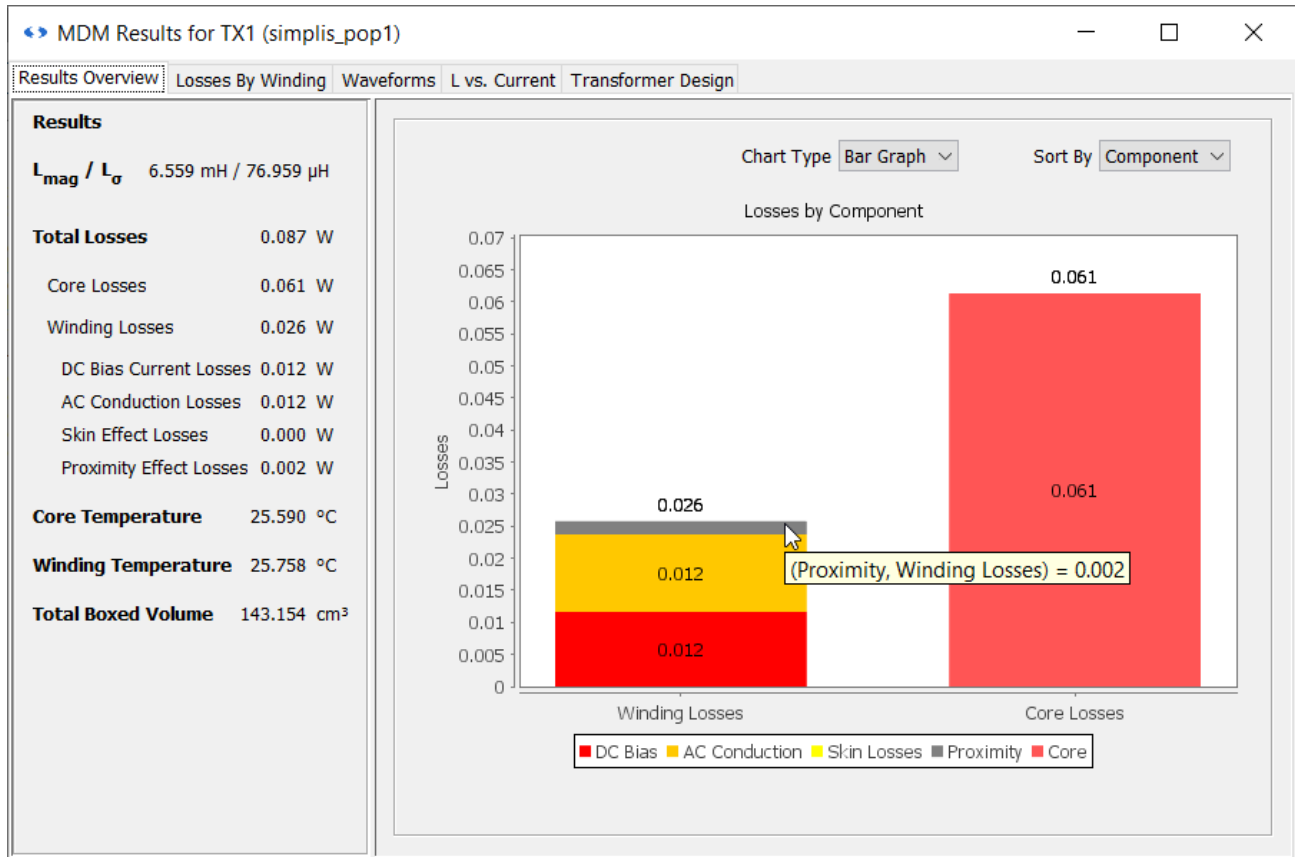
변압기의 경우, Part Selector 에서 Magnetics → Transformers → Multi-Level Lossy Transformer (Version 8.4+)를 Click 하여 배치할 때 Pop-up 되는 속성 창에서 Level 3 을 선택하여 접근할 수 있습니다.



변압기용 MDM GUI 환경에서 각각의 변압기 권선을 세부적으로 설계할 수 있습니다.

변압기의 경우, 자기 저항 (자기 회로) 모델이 SIMPLIS 회로도 내부에서 직접 Simulation 되어 변압기 코어의 각 부분에서 각 권선 및 정확한 플럭스에 대한 정확한 전류 및 전압을 얻습니다.

상세하고 정확한 손실 분석



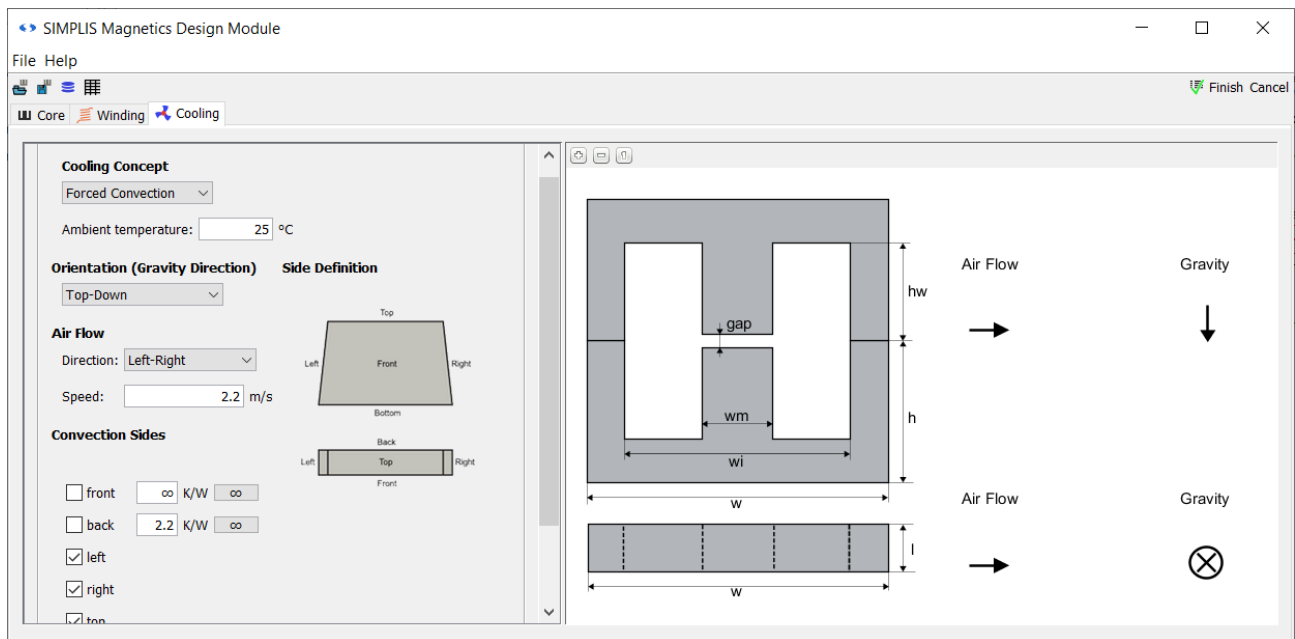
Inductor 와 변압기의 손실 값은 대부분 비선형이므로 회로도 내에서 일정한 저항으로 정확하게 표현할 수 없습니다.

SIMPLIS MDM 은 정확한 DC 계산과 AC 권선 손실 계산(표피 효과(skin effect)와 근접 효과(proximity effect), 코어 에어 갭으로 인한 근접 손실)을 위해 후처리 옵션을 제공합니다.

또한 여러 파형에 따라 영향을 미치는 코어 손실을 계산합니다.

시뮬레이션이 완료되면, MDM 은 파형의 결과를 활용하여 Inductor 와 변압기 손실 그리고 온도를 계산합니다.

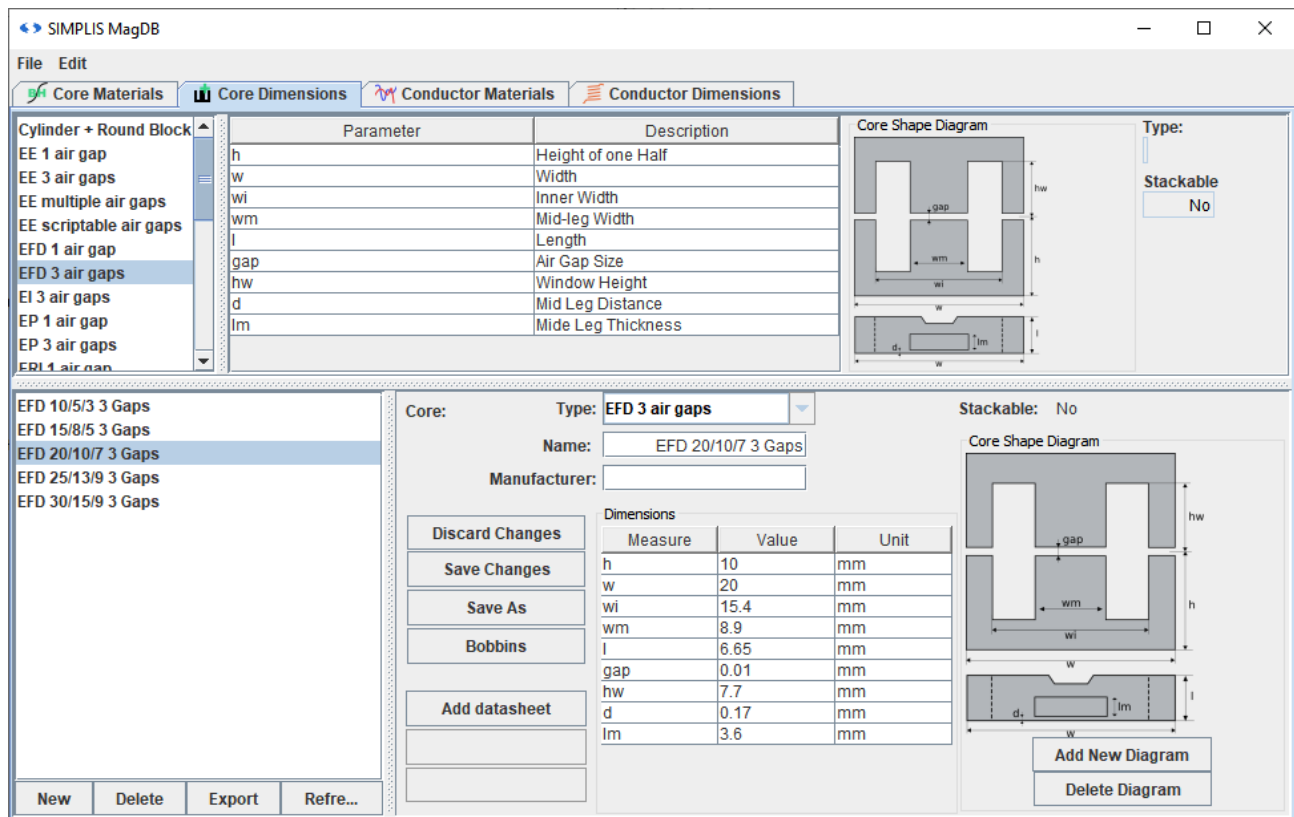
열 모델링



일정한 장치 온도를 가정하여 상세한 손실 계산을 할 수 있습니다.

사용자들은 인덕터나 변압기에 대한 열 흐름에 노출된 측면, 열 낮춤, 주변 온도, 자연적 또는 물리적 대류의 사용량, 공기 흐름 속도 그리고 구성요소 성향에 따라 상세한 냉각 처리방식을 설정할 수 있습니다.

MagDB-MDM의 부품 데이터베이스



사용자는 MDM의 데이터베이스를 편집하고 확장하여 새로운 재료와 표준 코어 및 와이어 정의를 추가 할 수 있습니다. 또한 프로그램 업데이트가 있을 때마다 새로운 데이터로 정기적으로 업데이트됩니다.

추가 정보

SIMPLIS Magnetics Design Module 튜토리얼을 통해 MDM이 인덕터와 변압기와 어떻게 작동하는지 확인해보세요.

MDM에게 관심이 있으신 분들은 인터그래텍에 문의 주시면 평가판을 사용해보실 수 있습니다. [인터그래텍 홈페이지 > 커뮤니티 > [평가판 라이선스 신청](#)]

SIMetrix/SIMPLIS 8.4 Version

IGTECH

TEL: +82 2 3472 5599

<http://www.igtech.co.kr>